

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JP3-101,233A

CLIPPEDIMAGE= JP403101233A

PAT-NO: JP403101233A

DOCUMENT-IDENTIFIER: JP 03101233 A

TITLE: ELECTRODE STRUCTURE AND ITS MANUFACTURE

PUBN-DATE: April 26, 1991

INVENTOR-INFORMATION:

NAME

HASEGAWA, HITOSHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP01237287

APPL-DATE: September 14, 1989

INT-CL (IPC): H01L021/321

US-CL-CURRENT: 438/614,438/FOR.343

ABSTRACT:

PURPOSE: To enhance the adhesion density between a lead frame and the projecting electrode on a substrate by providing an organic film, which has an opening width smaller than the width of the opening and where only the flat face of a barrier metal film is exposed, between the barrier metal film and the projecting electrode.

CONSTITUTION: An SiO₂ film 2 is formed on an Si substrate 1, and Al is vacuum-deposited thereon and is patterned to form an Al electrode 3, further PSG is grown by CVD so that it may cover the Al electrode 3, and an opening is provided, and a PSG film 4 is provided. Next, Ti is deposited on the whole face, and Pd is deposited on Ti, and a barrier metal film 5 is provided. Next, polyimide is applied on the barrier metal film 5, and an opening 13 is provided the center so that only the flat part of the barrier metal film is exposed, and a polyimide film 11 is formed. Next, on the polyimide layer 11, a resist for plating is formed, and this is patterned so as to form a resist pattern 15 where an opening 14 is provided. Next, Au

plating
is done, and after formation of a mushroom shaped Au bump 16, the
resist
pattern 15 is removed, and next the polyimide film 11 and the barrier
metal
film 5 are removed respectively to flatten the top side of the Au bump
12.

COPYRIGHT: (C)1991, JPO&Japio

⑪ 公開特許公報 (A) 平3-101233

⑫ Int. Cl. 5

H 01 L 21/321

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月26日

6940-5F H 01 L 21/92

C

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 電極構造及びその製造方法

⑮ 特 願 平1-237287

⑯ 出 願 平1(1989)9月14日

⑰ 発明者 長谷川 齊 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 青木 朗 外4名

明細書

1. 発明の名称

電極構造及びその製造方法

2. 特許請求の範囲

1. 基板上に設けられた薄膜電極と、該薄膜電極上に該薄膜電極の一部を露出させた開口部を有する絶縁層と、前記開口部を覆うバリヤーメタル膜と、該バリヤーメタル膜上に設けられ前記薄膜電極と導通する突起状電極と、を有してなる電極構造において、

前記バリヤーメタル膜と前記突起状電極との間に、前記開口部の幅より小さな開口幅を有し前記バリヤーメタル膜の平坦面のみを露出する有機膜を設けてなることを特徴とする電極構造。

2. (a) 基板上に薄膜電極を形成する工程、

(b) 該薄膜電極上に該薄膜電極の一部を露出する開口部を有する絶縁層を形成する工程、

(c) 前記開口部を覆うバリヤーメタル膜を形成する工程、

(d) 前記バリヤーメタル膜上に突起状電極

を形成する工程、

を含む電極構造を製造する方法において、
前記バリヤーメタル膜上に前記絶縁層開口部の
幅より小さな開口幅を有し、前記バリヤーメタル
膜の平坦面のみを露出する有機膜を形成した後、
前記突起状電極を形成することを特徴とする電極
構造の製造方法。

3. 発明の詳細な説明

〔概要〕

電極構造及びその製造方法に係り、特に半導体
装置の多端子接続用の電極構造及びその製造方法
に関し、

リードフレームと、基板上のAuバンプ(突起
状電極)との接着密度を高めるため表面平坦性の
良好な電極構造及びその製造方法を提供すること
を目的とし、

基板上に設けられた薄膜電極と、該薄膜電極上
に該薄膜電極の一部を露出させた開口部を有する
絶縁層と、前記開口部を覆うバリヤーメタル膜と、
該バリヤーメタル膜上に設けられ前記薄膜電極と導

通する突起状電極と、を有してなる電極構造において、

前記バリヤーメタル膜と前記突起状電極との間に、前記開口部の幅より小さな開口幅を有し、前記バリヤーメタル膜の平坦面のみを露出する有機膜を設けてなること及びその製造方法を構成とする。

〔産業上の利用分野〕

本発明は電極構造及びその製造方法に係り、特に半導体装置の多端子接続用の電極構造及びその製造方法に関する。

ICの高密度、高集積化に伴い入出力端子数の増加がますます加速されている。これらの入出力端子数の接続において従来のワイヤーボンディング法では最早対処が困難な状態を來している。これらの代替技術として突起状のAuバンプを用いたボンディング法がある。このボンディング法でのバンプ形成技術をなすことが多端子接続を促進しICのシステム規模の増加を可能にするもので

る。

〔発明が解決しようとする課題〕

第3図に示された電気メッキによるバンプ形成では下地基板上の凹状のバリヤーメタル膜5の表面形状をそのまま正確に反映して製造されるためメッキによるAuバンプの表面形状が凹凸になる場合がある。この様な状態でリードフレームをボンディングするとボンディング面積の縮小からリードフレームとAuバンプとの接着強度が低下する問題が生ずる。

本発明はリードフレームと、基板上のAuバンプ(突起状電極)との接着密度を高めるため表面平坦性の良好な電極構造及びその製造方法を提供することを目的とする。

〔課題を解決するための手段〕

上記課題は本発明によれば、
基板上に設けられた薄膜電極と、該薄膜電極上に該薄膜電極の一部を露出させた開口部を有する

ある。

〔従来の技術〕

第1図は従来のバンプの構造を示す概略断面図である。

第1図において、シリコン基板1上にSiO₂膜2、Al電極3、開口を有するPSG膜4、バリヤーメタル膜5及びその上にAuバンプ(突起状メッキ電極)6が設けられ、Snメッキ8がなされたCu板7からなるリードフレーム9と上記Auバンプ6が接続される。

上記バリヤーメタル膜5はAuバンプ6への拡散、合金化を防止するために形成されている。このAuバンプの製造方法はこのバリヤーメタル膜5を形成した後、レジスト(図示せず)をマスクとしてバンプ形成領域のみ電気メッキを施すことによりなされ、その後レジスト除去し、Auバンプ6をマスクとして下地のバリヤーメタルをエッチング除去する。その後、リードフレームをバンプ表面に押し当てボンディングが完成せしめられ

絶縁層と、前記開口部を覆うバリヤーメタル膜と、該バリヤーメタル上に設けられ前記薄膜電極と導通する突起状電極と、を有してなる電極構造において、

前記バリヤーメタル膜と前記突起状電極との間に、前記開口部の幅より小さな開口幅を有し、前記バリヤーメタル膜の平坦面のみを露出する有機膜を設けてなることを特徴とする電極構造によって解決される。

更に上記課題は本発明によれば

- (a) 基板上に薄膜電極を形成する工程、
 - (b) 該薄膜電極上に該薄膜電極の一部を露出する開口部を有する絶縁層を形成する工程、
 - (c) 前記開口部を覆うバリヤーメタル膜を形成する工程、
 - (d) 前記バリヤーメタル膜上に突起状電極を形成する工程、
- を含む電極構造を製造する方法において、前記バリヤーメタル膜上に前記絶縁層開口部の幅より小さな開口幅を有し、前記バリヤーメタル

膜の平坦面のみを露出する有機膜を形成した後、前記突起状電極を形成することを特徴とする電極構造の製造方法によって解決される。

〔作用〕

本発明によれば、基板上に形成された薄膜電極上のバリヤーメタル膜の開口部が平坦面のみが露出されているためその平面に沿って突起状メッキ電極が形成される。

本発明では薄膜電極としてはAl電極が主に用いられ、有機膜としてはポリイミド等が用いられるのが好ましい。更にバリヤーメタル膜はPd/Ti・Au/TiW・Pd/Cr・Au/Cr・Ni/Cu/Ti・Cu/Ti・Cu/Cr等のいずれも用いることができる。

〔実施例〕

以下本発明の実施例を図面に基づいて説明する。

第1図は本発明に係る突起状電極の1実施例を示す断面図である。

第1図において、IC基板1上にSiO₂膜2、

Al電極3、開口を有するPSG膜4、更にバリヤーメタル5が設けられているのは従来技術において示した第3図と同様である。

しかし、本発明は該バリヤーメタル膜5上に中央部を開口したポリイミド膜(有機薄膜)11が設けられ、更にその上に上面Aがほど平坦なAuバンプ(電極)12が設けられている。ポリイミド膜はバリヤーメタル膜の平坦部のみを露出するよう形成されている。

以下本発明の上記第1図の実施例を製造する方法を第2A図ないし第2D図に基づいて説明する。

まず第2A図に示す様にSi基板1上にSiO₂膜2を熱酸化法により形成し、その上にAlを約1μの厚さに真空蒸着してパターニングしてAl電極3を形成し、更に、Al電極3を覆う様にPSGを約1μの厚さにCVD成長し開口を設けてPSG膜4を設ける。その後、全面にまずチタン(Ti)を0.5μの厚さに蒸着し、次にTi上にパラジウム(Pd)を0.5μの厚さに蒸着しPd/Ti2層からなるバリヤーメタル膜5を形成するこの第2A

図に示したバリヤーメタル膜5迄の方法は従来工程でも行われていた工程である。

次に第2B図に示す様にバリヤーメタル膜5上有機樹脂のポリイミドをスピンドルコート法により約2μの厚さに塗布形成し、バリヤーメタル膜の平坦部のみを露出するようにその中央部に開口部13を設けてポリイミド膜11を成形する。

次に第2C図に示す様に、ポリイミド膜11上にメッキ用レジストを形成し、パターニングを行ない幅約20μの開口部14を設けたレジストパターン15を形成する。

次に第2D図に示す様に、通常の方法により、Auメッキを行ないマッシュルーム状Auバンプ16を形成する。このAuバンプはレジストパターン15a上ではそれぞれ両側に約20μの長さのひさしを形成し、Auバンプの上面Aはほどその中央部で長さ約100μにわたり、平坦となっている。

次に第2E図に示す様にレジストパターン15を除去し、次にポリイミド膜11、バリヤーメタル膜5をそれぞれエッチング除去し、マッシュルーム

状のAuバンプ12をその上面を平坦に形成することができる。

なお第2D図に示したレジストパターンの厚さが所定厚さ以上の場合は第3図に破線15で示す様にAuストレートバンプが形成される。なお第3図ではレジストパターン除去前に予めポリイミド膜、Pdをエッチングしておいても可能である。

〔発明の効果〕

以上説明した様に、本発明によればIC基板上にAuバンプ(突起状電極)の上面がほど平坦化され、形成されるので接着面積増加によりリードフレームへのボンディング強度が増大する。このためバンプのサイズ、及びバンプピッチのそれぞれ縮小が図られ、高密度、高信頼性に寄与する。

4. 図面の簡単な説明

第1図は本発明に係る電極構造の1実施例を示す断面図であり、

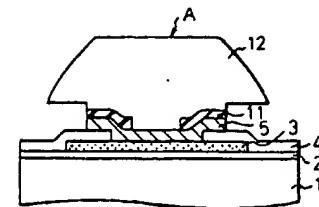
第2A図ないし第2E図は第1図に示した1実施例を製造する方法を説明するための工程断面図。

であり、

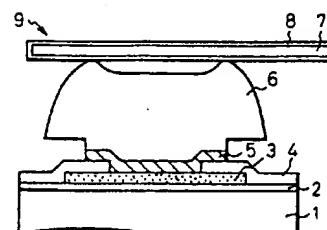
第3図は他の実施例を説明するための断面図であり、

第4図は従来技術を説明するための断面図である。

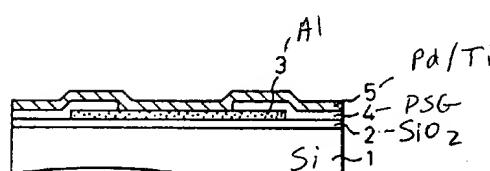
- 1…シリコン基板、 2… SiO_2 膜、
- 3…Al電極、 4…PSG膜、
- 5…バリヤーメタル膜、
- 6…Auバンプ (突起状メッキ電極)、
- 9…リードフレーム、11…ポリイミド膜、
- 12…Auバンプ (上面平坦)、
- 13・14…開口部、 15…レジストパターン。



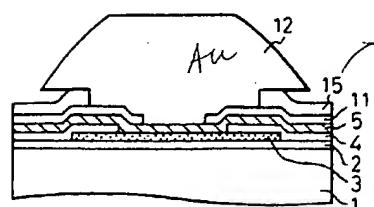
実施例
第1図



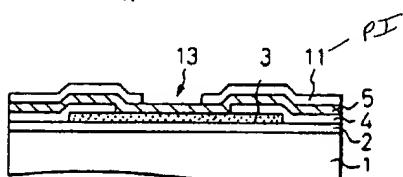
従来例
第4図
1…シリコン基板
2… SiO_2 膜
3…Al電極
4…PSG膜
5…バリヤーメタル膜
6…Auバンプ
9…リードフレーム
12…Auバンプ



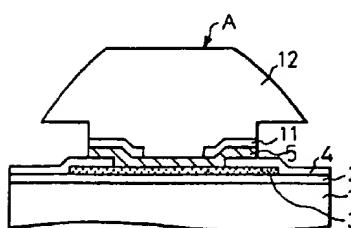
第2A図



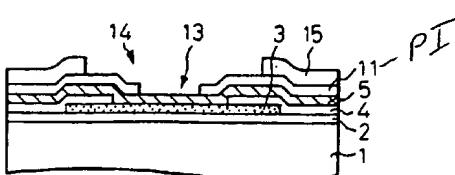
第2D図



第2B図

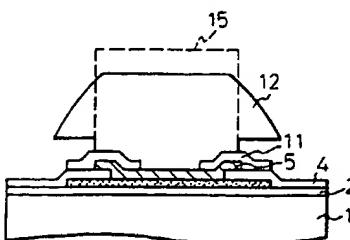


第2E図



第2C図

- 11…ポリイミド膜
- 13, 14…開口部
- 15…レジストパターン



第3図